

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020002570 A
(43)Date of publication of application: 10.01.2002

(21)Application number: 1020000036780
(22)Date of filing: 30.06.2000

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: YANG, U SEOK
YUM, SEUNG JIN

(51)Int. Cl. H01L 27/105

(54) METHOD FOR MANUFACTURING FERROELECTRIC MEMORY DEVICE CAPABLE OF PREVENTING CHARACTERISTIC OF FERROELECTRIC CAPACITOR FROM BEING DEGRADED BY REACTIVE ION ETCH

(57) Abstract:

PURPOSE: A method for manufacturing a ferroelectric memory device is provided to prevent a characteristic of a ferroelectric capacitor from being degraded by a reactive ion etching(RIE) process performed after the ferroelectric capacitor is formed, by forming ultraviolet(UV) blocking layer covering the ferroelectric capacitor.

CONSTITUTION: A ferroelectric capacitor composed of a lower electrode(41), a ferroelectric layer(42) and an upper electrode(43) is formed on a semiconductor substrate. The UV blocking layer(45) is formed on the resultant structure. An interlayer dielectric is formed on the UV blocking layer. The interlayer dielectric and the UV blocking layer are selectively removed by the RIE process to form a contact hole exposing the upper electrode of the ferroelectric capacitor.

© KIPO 2002

Legal Status

공개특허 제2002-2570호(2002.01.10) 1부.

[첨부그림 1]

특 2002-0002570

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 27/105	(11) 공개번호 (43) 공개일자	특2002-0002570 2002년01월10일
(21) 출원번호 (22) 출원일자 (71) 출원인	10-2000-0036780 2000년06월30일 주식회사 하이닉스반도체 박종삼	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 양우석 경기도이천시중포동213-5대우1차아파트101-601 염승진 경기도이천시대원면 사동리현대5차아파트502-304 특허법인 신성	
(74) 대리인		

심사결과 : 없음

(54) 반응성 미온석각에 의한 강유전체 캐패시터 특성 저하금방지할 수 있는 강유전체 메모리 소자 제조 방법

요약

본 발명은 강유전체 캐패시터 형성 후 실시되는 RIE 석각공정에 의해 강유전체 캐패시터의 특성이 저하되는 것을 효과적으로 방지할 수 있는 강유전체 메모리 소자 제조 방법이다. RIE 공정에 따른 강유전체 캐패시터의 특성 열화를 방지하기 위해서는 강유전체 캐패시터에 인가되는 바이어스 전압 또는 강유전체 캐패시터에 조사되는 UV 광을 차단하여야 한다. 바이어스 전압이 인가되는 것을 차단하기 위해서는 강유전체 캐패시터를 전도막으로 덮어야 하는데, 이는 강유전체 캐패시터간의 단락을 유발하므로 불가능하다. 본 발명은 강유전체 캐패시터에 조사되는 UV 광을 차단하기 위해 강유전체막 상부에 UV 차단막을 형성한 상태에서 RIE 공정을 실시하는데 그 특징이 있다.

도면도

5a

제반어

강유전체, 캐패시터, RIE, UV, 차단

영세서

도면의 간단한 설명

도 1a 및 도 1b는 종래 기술에 따른 강유전체 메모리 소자 제조 공정 단면도.

도 2a 및 도 2b는 본 발명의 실시 예에 따른 강유전체 메모리 소자 제조 공정 단면도.

도면의 주요부분에 대한 도면 부호의 설명

- | | |
|------------|-------------|
| 41: 하부전극 | 42: 강유전체막 |
| 43: 상부전극 | 44: 수소화산방지막 |
| 45: UV 차단막 | |

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 소자 제조 분야에 관한 것으로, 특히 반응성 이온식각에 의한 강유전체 캐패시터의 특성 저하를 방지할 수 있는 강유전체 메모리 소자 제조 방법에 관한 것이다.

반도체 메모리 소자에서 강유전체(ferroelectric) 재료를 캐패시터에 사용함으로써 기존 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. FeRAM(ferroelectric random access memory) 소자는 비휘발성 메모리 소자의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 기존의 DRAM에匹敵하여 차세대 기억소자로 각광받고 있다.

FeRAM의 축전물질로는 $\text{Sr,Bi,Ta}_2\text{O}_7$ (이하 SBT)와 $\text{Pb}(\text{Zr,Ti})\text{O}_3$ (이하 PZT) 박막이 주로 사용된다. 강유전체는 상온에서 유전상수가 수백에서 수천에 이르며 두 개의 안정한 잔류분극(residual polarization) 상태를 갖고 있어 이를 박막화하여 비휘발성(nonvolatile) 메모리 소자로의 응용이 실현되고 있다. 강유전체 박막을 이용하는 비휘발성 메모리 소자는, 가해주는 전기장의 방향으로 분극의 방향을 조절하여 신호를 입력하고 전기장을 제거하였을 때 남아있는 잔류분극의 방향에 의해 디지털 신호 1과 0을 저장하는 원리를 이용한다.

첨부된 도면 도 1a 및 도 1b를 참조하여 종래 FeRAM 소자 제조 공정을 설명한다.

도 1a는 트랜지스터, 비트라인 그리고 강유전체 캐패시터 형성이 완료된 상태를 보이는 공정 단면도이다. 즉, 소자부리막(21) 그리고 게이트 절연막(12), 게이트 전극(13) 및 소오스·드레인(14)으로 이루어지는 트랜지스터 형성이 완료된 반도체 기판(10)을, 덮는 제1 중간절연막(15) 내에 제1 콘택홀(C1)을 형성하고, 상기 제1 콘택홀을 통하여 트랜지스터의 소오스·드레인(14)과 연결되는 비트라인(16)을 형성한 다음, 비트라인(16) 형성이 완료된 전체 구조 상에 제2 중간절연막(17)을 형성하고, 제2 중간절연막(17)과 제1 중간절연막(15)을 선택적으로 식각하여 트랜지스터의 또 다른 소오스·드레인(14)과 연결되는 제2 콘택홀(C2)을 형성하고, 제2 콘택홀(C2) 내에 폴리실리콘 플러그(18), 실리콘사이드층(19) 및 확산방지막(20)을 형성하고, 하부전극(21), 강유전체막(22) 및 상부전극(23)으로 이루어지는 강유전체 캐패시터를 형성하여 상기 제2 콘택홀(C2)을 통하여 트랜지스터와 연결시킨 상태를 보이고 있다.

도 1b는 상기와 같은 강유전체 캐패시터 형성이 완료된 전체 구조 상에 수소 확산방지막(24) 및 제3 중간절연막(25)을 형성하고, 제3 중간절연막(25)과 수소 확산방지막(24)을 선택적으로 식각하여 강유전체 캐패시터의 상부전극(23)을 노출시키는 제3 콘택홀(C3)을 형성한 다음, 금배선(26)을 형성한 것을 나타내고 있다.

전술한 바와 같이 이루어지는 종래 강유전체 메모리 소자 과정에서 식각은 통상적으로 RIE(reactive ion etching) 공정으로 진행된다. RIE 공정은 기판에 바이어스(bias) 전압이 인가되고 플라스마로부터 발생되는 UV 광이 기판에 조사되는 환경에서 진행된다. 이런 환경에서, 상기 제3 콘택홀(C3)을 형성할 경우 강유전체 캐패시터 특성의 열화를 유발한다.

본 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은, 강유전체 캐패시터 형성 후 실시되는 RIE 식각공정에 의해 강유전체 캐패시터의 특성이 저하되는 것을 효과적으로 방지할 수 있는 강유전체 메모리 소자 제조 방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은 강유전체 캐패시터 형성이 완료된 상태에서 반응성 이온식각 공정을 진행하는 강유전체 메모리 소자 제조 방법에 있어서, 상기 강유전체 캐패시터를 덮는 UV광 차단막을 형성하는 단계; 및 반응성 이온식각 공정을 진행하는 단계를 포함하는 강유전체 메모리 소자 제조 방법을 제공한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명은, 반도체 기판 상부에 하부전극, 강유전체막 및 상부전극으로 이루어지는 강유전체 캐패시터를 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 UV광 차단막을 형성하는 제2 단계; 상기 UV광 차단막 상에 중간절연막을 형성하는 제3 단계; 및 반응성 이온식각 공정으로 상기 중간절연막 및 상기 UV광 차단막을 선택적으로 제거하여 상기 강유전체 캐패시터의 상기 상부전극을 노출시키는 콘택홀을 형성하는 제4 단계를 포함하는 강유전체 캐패시터 형성 방법을 제공한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명은, 반도체 기판 상부에 하부전극, 강유전체막 및 상부전극으로 이루어지는 강유전체 캐패시터를 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 수소 확산방지막을 형성하는 제2 단계; 상기 수소 확산방지막 상에 UV광 차단막을 형성하는 제3 단계; 상기 UV광 차단막 상에 중간절연막을 형성하는 제4 단계; 및 반응성 이온식각 공정으로 상기 중간절연막, 상기 UV광 차단막 및 상기 수소 확산방지막을 선택적으로 제거하여 상기 강유전체 캐패시터의 상기 상부전극을 노출시키는 콘택홀을 형성하는 제5 단계를 포함하는 강유전체 캐패시터 형성 방법을 제공한다.

RIE 공정시 강유전체 캐패시터의 특성 열화를 방지하기 위해서, 강유전체 캐패시터에 인가되는 바이어스 전압 또는 강유전체 캐패시터에 조사되는 UV 광을 차단하여야 한다. 바이어스 전압이 인가되는 것을 차단하기 위해서는 강유전체 캐패시터를 전도막으로 덮어야 하는데, 이는 강유전체 캐패시터간의 단락을 유발

하므로 불가능하다. 본 발명은 강유전체 캐패시터에 조사되는 UV 광을 차단하기 위해 강유전체막 상부에 UV 차단막(blocking layer)을 형성한 상태에서 식각공정을 실시하는데 그 특징이 있다.

UV 차단막은 UV 광흡수(absorption) 특성이 우수해야 할 뿐만 아니라 캐패시터의 누설전류 증가를 방지하기 위해서 절연 특성이 우수해야 한다. 이러한 두 가지 요건을 동시에 만족시키는 재료로는 SiN 또는 SiON 등이 있는데, UV 광흡수 특성은 막 내부의 Si-H 결합 농도와 N 농도가 증가할수록 향상된다. 한편, SiN 또는 SiON 층막 공정은 강유전체 내부로 수소원자 및 이온 확산을 유발하여 강유전체 특성 저하를 야기시킨다. 따라서 SiN 또는 SiON 등으로 UV 차단막을 형성할 경우에는 Al₂O₃ 등과 같은 수소확산방지막 형성 공정이 선행되어야 한다.

이하, 첨부된 도면 도 2a 및 도 2b를 참조하여 본 발명의 실시 예에 따른 FeRAM 소자 제조 방법을 상세하게 설명한다.

먼저 도 2a에 도시한 바와 같이, 소자분리막(31) 그리고 게이트 절연막(32), 게이트 전극(33) 및 소오스·드레인(34)으로 이루어지는 트랜지스터 형성이 완료된 반도체 기판(30) 상에 제1 중간절연막(35)을 형성하고, 제1 중간절연막(35) 내에 형성된 제1 콘택홀(C1)을 통하여 트랜지스터의 소오스·드레인(34)과 연결되는 비트라인(36)을 형성한 다음, 비트라인(36) 형성이 완료된 전체 구조 상에 제2 중간절연막(37)을 형성하고, 제2 중간절연막(37)과 제1 중간절연막(35)을 선택적으로 식각하여 트랜지스터의 또 다른 소오스·드레인(34)과 연결되는 제2 콘택홀(C2)을 형성한 다음, 제2 콘택홀(C2) 내에 폴리실리콘 플러그(38), 실리콘이드층(39) 및 확산방지막(40)을 형성하고, 하부전극(41), 강유전체막(42) 및 상부전극(43)으로 이루어지는 강유전체 캐패시터를 형성하여 상기 제2 콘택홀(C2)을 통하여 트랜지스터와 연결시킨다.

상기 제1 중간절연막(35)은 HfO₂(high temperature oxide)와 BPSB(borophosphosilicate glass)를 적층하여 형성하고, 상기 실리콘이드층(39)은 폴리실리콘 플러그(38) 상에 Ti, Co 등을 형성하여 후열처리를 실시하여 형성한다. 그리고, 상기 확산방지막은 TiN, TiAlN 또는 TiSiN 등으로 형성한다. 상기 강유전체 캐패시터의 하부전극(41)은 Pt/IrO₂/Ir 및 IrO₂/Ir의 적층구조 또는 Pt/RuO₂/Ru 및 RuO₂/Ru의 적층구조로 형성하고, 상기 강유전체막(42)은 페로브스카이트(perovskite) 구조를 갖는 PZT(Pb(Zr,Ti)_{1-x})O₃, x는 0.4 내지 0.6 또는 SBT(Sr,Bi,TaO₃, x는 0.7 내지 1.0, y는 2.0 내지 2.6), SBTN(Sr,Bi,(Ta,Nb)_{1-x}O₃, x는 0.7 내지 1.0, y는 2.0 내지 2.6, z는 0.7 내지 0.9), BLT(Bi_{1-x}La_xTi_{1-y}O_{3-z}, x는 0.6 내지 0.9) 등 과 같은 Bi-레이어드(Bi-layered) 페로브스카이트 구조를 갖는 강유전체막으로 형성하며, 상부전극(43)은 Pt막 또는 IrO₂, RuO₂ 등으로 형성한다.

다음으로 도 2b에 보이는 바와 같이, 강유전체 캐패시터 형성이 완료된 전체 구조 상에 수소 확산방지막(44), UV 차단막(45) 및 제3 중간절연막(46)을 형성하고, 제3 중간절연막(46), UV 차단막(45) 및 수소 확산방지막(44)을 선택적으로 식각하여 강유전체 캐패시터의 상부전극(43)을 노출시키는 제3 콘택홀(C3)을 형성한 다음, 금속배선(47)을 형성한다. 한편, UV 광은 금속에 잘 흡수되어 투과하지 못하는 특성을 갖고, UV 광이 강유전체 막에 조사되기 위한 경로는 상부전극이 없는 캐패시터의 옆면(side-wall)이다. 따라서 UV 차단막은 캐패시터의 옆면에 조사되는 UV 광을 차단하는데 주 목적이 있다. 또한 중간절연막, UV 차단막 및 수소확산방지막은 동시에 식각하는데, 수소확산방지막(약 100 Å), 중간절연막(약 5000 Å) 비해 매우 얇기 때문에 이를 식각하는 시간은 중간절연막 식각하는 시간에 비해 매우 짧아서 수소확산방지막 식각하는 동안 UV 광 조사에 의한 캐패시터의 특성 저하는 무시할 정도이다.

상기 수소 확산방지막은 상기 UV 차단막(45) 및 제3 중간절연막(46) 형성 과정에서 발생하는 수소가 강유전체 캐패시터 내부로 확산하는 것을 방지하기 위한 것으로서, 본 발명의 실시 예에서는 수소확산방지막(44) 형성을 위하여 MOCVD(metal organic chemical vapor deposition) 또는 ALD(atomic layer deposition) 방법으로 50 Å 내지 100 Å 두께의 Al₂O₃막을 증착한다. 상기 UV 차단막(45)은 SiH₄ 및 NH₃를 사용하여 형성한 SiN 또는 SiH₃, NH₃ 및 N₂O를 사용하여 형성한 SiON으로 이루어진다. UV 차단막(45)은 플라즈마를 이용한 화학기상증착방법 또는 저압(low pressure) 화학기상증착방법으로 형성하며, 그 두께는 1000 Å 내지 3000 Å가 되도록 한다. 상기 제3 중간절연막(46)은 SiO₂와 SOB(spin on glass)를 적층하여 형성한다. 그리고 상기 금속배선(47)은 TiN 확산방지막, Al막 및 TiN 반사방지막을 적층하고 패터닝하여 형성한다.

전술한 본 발명의 실시예에서는 폴리실리콘 플러그(38)를 형성하여 트랜지스터와 캐패시터를 연결하는 경우를 예로서 설명하였지만, 폴리실리콘 플러그를 이용하지 않는 NPP(non-poly-silicon plug) 구조를 갖는 저압도 FeRAM 소자에도 적용가능하다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

본 발명의 효과

상기와 같이 이루어지는 본 발명은 강유전체 캐패시터를 덮는 UV 차단막을 형성함으로써, 강유전체 캐패시터 형성 후 실시되는 RIE 식각공정에 의해, 강유전체 캐패시터의 특성이 저하되는 것을 효과적으로 방지할 수 있다.

(5) 청구의 범위

청구항 1

강유전체 캐패시터 형성이 완료된 상태에서 반응성 이온식각 공정을 진행하는 강유전체 메모리 소자 제조

방법에 있어서,

상기 감유전체 캐패시터를 덮는 UV광 차단막을 형성하는 단계; 및

반응성 이온식각 공정을 진행하는 단계

를 포함하는 감유전체 메모리 소자 제조 방법.

청구항 2

감유전체 메모리 소자 제조 방법에 있어서,

반도체 기판 상부에 하부전극, 감유전체막 및 상부전극으로 이루어지는 감유전체 캐패시터를 형성하는 제1 단계;

상기 제1 단계가 완료된 전체 구조 상에 UV광 차단막을 형성하는 제2 단계;

상기 UV광 차단막 상에 측간절연막을 형성하는 제3 단계; 및

반응성 이온식각 공정으로 상기 측간절연막 및 상기 UV광 차단막을 선택적으로 제거하여 상기 감유전체 캐패시터의 상기 상부전극을 노출시키는 공막홀을 형성하는 제4 단계

를 포함하는 감유전체 캐패시터 형성 방법.

청구항 3

감유전체 메모리 소자 제조 방법에 있어서,

반도체 기판 상부에 하부전극, 감유전체막 및 상부전극으로 이루어지는 감유전체 캐패시터를 형성하는 제1 단계;

상기 제1 단계가 완료된 전체 구조 상에 수소화산방지막을 형성하는 제2 단계;

상기 수소화산방지막 상에 UV광 차단막을 형성하는 제3 단계;

상기 UV광 차단막 상에 측간절연막을 형성하는 제4 단계; 및

반응성 이온식각 공정으로 상기 측간절연막, 상기 UV광 차단막 및 상기 수소화산방지막을 선택적으로 제거하여 상기 감유전체 캐패시터의 상기 상부전극을 노출시키는 공막홀을 형성하는 제5 단계

를 포함하는 감유전체 메모리 소자 제조 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 UV광 차단막을,

SiON 또는 Si₃N₄으로 형성하는 것을 특징으로 하는 감유전체 메모리 소자 제조 방법.

청구항 5

제 4 항에 있어서,

상기 UV광 차단막을 1000 Å 내지 3000 Å 두께로 형성하는 것을 특징으로 하는 감유전체 메모리 소자 제조 방법.

청구항 6

제 3 항에 있어서,

상기 수소화산방지막을 Al₂O₃로 형성하고,

상기 UV광 차단막을 SiON 또는 Si₃N₄으로 형성하는 것을 특징으로 하는 감유전체 메모리 소자 제조 방법.

청구항 7

제 6 항에 있어서,

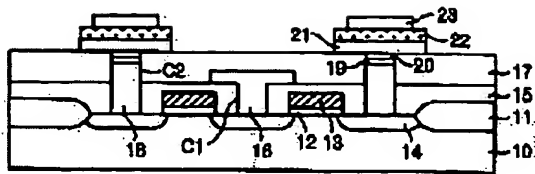
상기 수소화산방지막을 50 Å 내지 100 Å 두께로 형성하는 것을 특징으로 하는 감유전체 메모리 소자 제조 방법.

도면

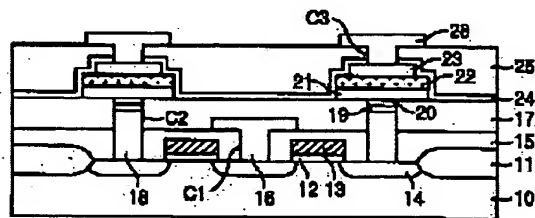
[첨부그림 5]

특 2002-0002570

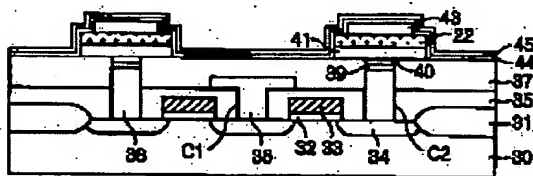
도면 1a



도면 1b



도면 2a



도면 2b

